

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-215226

(43)Date of publication of application : 04.08.2000

(51)Int.Cl.

G06F 17/50

G01R 31/28

H03K 19/00

(21)Application number : 11-016122

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 25.01.1999

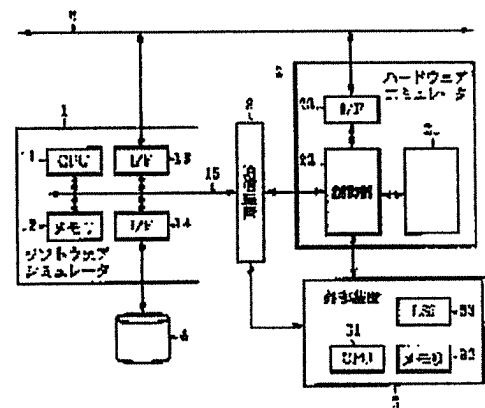
(72)Inventor : NABETA YOSHINORI

## (54) LOGIC VERIFYING DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To shorten the time required for logic verification by exchanging the operated result of verification on a logic to be verified between a hardware emulator and a software simulator.

**SOLUTION:** The software simulator 1 reads logic information held on a recording medium 4 and corresponding to the abstraction level of each module in that logic information, the logic information is divided into a module to be verified by a hardware emulator 2 and a module to be verified by the software simulator 1. At the time of verification, according to this connection relation, the exchange of input data or operated result for logic operation is executed through communication equipment 3 between the software simulator 1 and the hardware emulator 2. Thus, the time required for logic verification can be shortened.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-215226

(P2000-215226A)

(43) 公開日 平成12年8月4日 (2000.8.4)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

G 0 6 F 17/50

G 0 6 F 15/60

6 6 4 P 2 G 0 3 2

G 0 1 R 31/28

H 0 3 K 19/00

D 5 B 0 4 6

H 0 3 K 19/00

G 0 1 R 31/28

F 5 J 0 5 6

G 0 6 F 15/60

6 6 4 L

審査請求 未請求 請求項の数12 O L (全 10 頁)

(21) 出願番号

特願平11-16122

(22) 出願日

平成11年1月25日 (1999.1.25)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 鍋田 芳則

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

Fターム (参考) 2G032 AA01 AC08 AC09 AE10 AG10

5B046 AA08 BA03 CA08 DA05 JA05

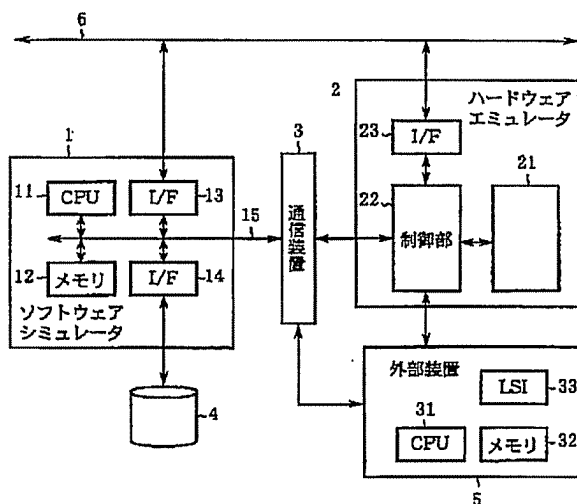
5J056 AA00 BB59 CC00 HH04 KK00

(54) 【発明の名称】 論理検証装置

(57) 【要約】

【課題】 論理回路などの設計の中間段階においてエミュレータを使用して効率良く論理検証を実行することが困難であった。

【解決手段】 記録媒体4から論理情報を読み込み、論理情報のうち構造レベルまで確定している部分についてハードウェアエミュレータ2で検証を実行し、その他の部分についてはソフトウェアシミュレータ1で検証を実行する。



3: 通信装置 (通信部)  
11: CPU (演算処理手段)  
12: メモリ (記憶手段)

## 【特許請求の範囲】

【請求項 1】 被検証論理の所定の第 1 の部分についての検証を実行する再構成可能なハードウェアエミュレータと、

前記被検証論理のシミュレーションを記述したシミュレーションプログラムを記憶する記憶手段と、前記シミュレーションプログラムを実行し、前記被検証論理の残りの第 2 の部分の検証を実行する演算処理手段とを有するソフトウェアシミュレータと、

前記ハードウェアエミュレータと前記ソフトウェアシミュレータとの間で、前記被検証論理についての検証の演算結果の授受を実行する通信部とを備えた論理検証装置。

【請求項 2】 被検証論理の抽象度レベルに応じて、前記被検証論理を、ハードウェアエミュレータにより検証する第 1 の部分と、前記ソフトウェアシミュレータにより検証する第 2 の部分とに分割することを特徴とする請求項 1 記載の論理検証装置。

【請求項 3】 ソフトウェアシミュレータは、通信部と間のインタフェースのバス幅と同数のビット数単位で、第 1 の部分と第 2 の部分との間で授受されるデータを分割することを特徴とする請求項 1 記載の論理検証装置。

【請求項 4】 ソフトウェアシミュレータは、検証の演算結果を通信部に送信し、前記通信部は、前記ソフトウェアシミュレータからの前記検証の演算結果をハードウェアエミュレータに供給し、前記ハードウェアエミュレータは、前記ソフトウェアシミュレータによる検証の演算結果をデータとして検証を実行することを特徴とする請求項 1 記載の論理検証装置。

【請求項 5】 ソフトウェアシミュレータは、検証の演算結果の値が変化するタイミング、およびクロック毎のタイミングのうち、前記検証の演算結果の転送時間が短くなる方のタイミングで前記検証の演算結果を通信部に送信することを特徴とする請求項 4 記載の論理検証装置。

【請求項 6】 ハードウェアエミュレータは、ソフトウェアシミュレータによる検証の演算結果を供給されると、1 イベント分だけ検証を実行することを特徴とする請求項 4 記載の論理検証装置。

【請求項 7】 ハードウェアエミュレータは、ソフトウェアシミュレータによる検証の演算結果を供給されると、時刻 0 からその検証の演算結果に対応する時刻までの検証を実行することを特徴とする請求項 4 記載の論理検証装置。

【請求項 8】 通信部は、ソフトウェアシミュレータからの被検証論理についての検証の演算結果を、ハードウェアエミュレータに供給するまで記憶するバッファメモ

リを有することを特徴とする請求項 1 記載の論理検証装置。

【請求項 9】 通信部は、ソフトウェアシミュレータからの被検証論理についての検証の演算結果をハードウェアエミュレータに供給するタイミングを制御する第 1 の制御手段を有することを特徴とする請求項 1 記載の論理検証装置。

【請求項 10】 通信部は、ハードウェアエミュレータのクロックを制御して前記ソフトウェアシミュレータでの処理と前記ハードウェアエミュレータでの処理とを同期させる第 2 の制御手段を有することを特徴とする請求項 1 記載の論理検証装置。

【請求項 11】 通信部は、ハードウェアエミュレータに接続される所定の外部装置を制御し、前記所定の外部装置での処理と前記ハードウェアエミュレータでの処理を同期させる第 3 の制御手段とを有することを特徴とする請求項 1 記載の論理検証装置。

【請求項 12】 ソフトウェアシミュレータは、被検証論理のすべてをハードウェアエミュレータにより検証する第 1 の部分とした場合に、前記被検証論理への入力データをすべて通信部に送信し、

前記通信部は、前記ソフトウェアシミュレータからの前記データを蓄積し、ハードウェアエミュレータに供給し、

前記ハードウェアエミュレータは、前記データを使用して前記被検証論理のすべてについての検証を実行することを特徴とする請求項 1 記載の論理検証装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、ソフトウェアシミュレータとハードウェアエミュレータを併用して論理回路の検証を実行する論理検証装置に関するものである。

## 【0002】

【従来の技術】半導体技術の進歩により、論理 L S I (Large Scale Integrated circuit) の集積度は年々向上し、大規模システムを 1 チップに集積することが可能になり、電子機器などのシステムを 1 チップまたは数チップの L S I で構築することが可能になりつつある。

【0003】L S I の製造コストは極めて高価であるとともに、その製造期間には 1 月以上を必要とするため、製造前に十分な検証を行うことが重要である。

【0004】検証は、設計の様々なフェーズで行われる。設計プロセスは、初期設計における抽象的なレベルから、最終段階における詳細な製造レベルまで多くの段階を踏み、各レベルに応じた論理情報を取り扱う。例えば初期設計段階では入出力関係程度を確定する抽象レベルの論理情報、機能設計段階では論理各部の機能を確定する機能レベルの論理情報、そして、最終的な詳細設計段階では論理構造を確定する構造レベルの論理情報が取

り扱われる。一般に使用される各種ハードウェア記述言語（HDL）により、上述の種々の設計段階の論理情報を表現することが可能である。

【0005】LSIや、複数のLSIを使用したシステムの論理検証の方法には、従来、ソフトウェアシミュレータによるものと、ハードウェアエミュレータによるものがある。一般にソフトウェアシミュレータは、HDLで記述された論理情報をコンピュータプログラムとして実行するため、種々の設計段階において使用することができ、多くの分野で広く普及している。一方、ハードウェアエミュレータは、FPGA（Field Programmable Gate Array）やFPID（Field Programmable Interconnect Device）などで構成され、外部からの入力信号に基づいて論理構造を再構成可能な装置であり、ハードウェアであるので論理演算を高速かつ並列に実行することができる。

【0006】図5は、従来のハードウェア論理エミュレーションシステムを示す図である。図において、201は、検証対象であるLSIの論理情報を所定の記録媒体204より読み込み、エミュレーション装置202用のデータに変換した後、エミュレーション装置202に供給するワークステーションやパーソナルコンピュータなどの管理用コンピュータである。202は、複数のFPGA221やFPID222などで構成され、管理用コンピュータ201からのデータに基づいて論理構造を再構成するエミュレーション装置である。205は、エミュレーション装置202により検証される論理LSIに関連する部品であるCPU231、メモリ232、他のLSI233などを備える外部装置である。

【0007】次に動作について説明する。図6は、図5の管理用コンピュータの動作を説明するフローチャートである。図6に示すように、管理用コンピュータ201は、検証対象であるLSIの論理情報を所定の記録媒体204より読み込み（ステップST21）、その論理情報をコンパイルしてエミュレーション装置202のFPGA221用の構造データおよびFPID222用の構造データを生成し（ステップST22）、それらのデータをエミュレーション装置202に供給する。

【0008】そして、エミュレーション装置202は、それらの構造データに基づいて検証対象であるLSIの論理をエミュレートする。論理検証時には、管理用コンピュータ201から入力データを供給され、それに対する論理演算を実行し、演算の結果を出力する。また、論理検証時には、検証される論理によっては外部装置205との通信も実行される。

【0009】次に、図7は、例えば特開平10-171847号公報に記載の第1の従来の論理検証装置の構成を示すブロック図である。図において、310は、検証対象の論理をエミュレートするFPGA装置であり、314は、検証対象の論理をシミュレートするシミュレー

ションモジュールであり、312は、各FPGA装置310と各シミュレーションモジュール314のFPGA322とを接続するプログラマブル相互接続器であり、326はシステムバス328に接続され、FPGA装置310およびシミュレーションモジュール314への構造データのダウンロードなどを実行するシステム制御器である。

【0010】シミュレーションモジュール314において、320は、行動記述により表現された論理情報などを記憶するRAMであり、316は、行動記述により表現された検証対象の論理をフラグメントごとに実行するCPUであり、322は、実行すべきフラグメント、およびその順序を決定するFPGAであり、318はRAM320、CPU316およびFPGA322を相互に接続するマイクロプロセッサバスであり、324は、マイクロプロセッサバス318およびシステムバス328に接続されるバス制御器である。

【0011】次に動作について説明する。この第1の従来の論理検証装置においては、行動記述により表現された論理情報に基づいて検証対象の論理をCPU316がシミュレートする。このとき、検証対象の論理は、システム制御器326からの構造データに基づく論理構造でFPGA装置310およびFPGA322によりすべてエミュレートされる。そして、プログラマブル相互接続器312はFPGA310装置とFPGA322との間の通信を適宜実行する。

【0012】このように図7に示す第1の従来の論理検証装置では、FPGA装置310およびFPGA322により検証対象の論理のすべてがエミュレートされる。

【0013】また、図8は、例えば特開平9-293002号公報に記載の第2の従来の論理検証装置の構成を示すブロック図である。図において、402は、制御回路504、標的プログラム522を記憶するメモリ526およびプロセッサ576を有し、標的プロセッサおよび標的プログラムをモデル化するプロセッサエミュレータであり、406は、標的回路をモデル化するプロセッサモデルシェル510を有するハードウェアシミュレータであり、410は、トランスレータ414とマッパー416を有するソフトウェアカーネルである。トランスレータ414は、プロセッサエミュレータ402用の第1のデータフォーマットと中間データフォーマットとの間でフォーマット変換を実行し、マッパー416はハードウェアシミュレータ406用の第2のデータフォーマットと中間データフォーマットとの間でフォーマット変換を実行するものである。なお、ハードウェアシミュレータ406およびソフトウェアカーネル410はソフトウェアとして実現される。

【0014】420は、ハードウェアシミュレータ406とソフトウェアカーネル410とを接続する通信リンクであり、422は、プロセッサエミュレータ402と

ソフトウェアカーネル410とを接続する通信リンクである。

【0015】次に動作について説明する。ハードウェアシミュレータ406は、標的プログラム522に基づく処理に対して、外部ハードウェア応答を与えるように動作する。このときプロセッサモデルシエル510は、ハードウェアシミュレータ406とソフトウェアカーネル410に対する通信とを同期させる。

【0016】ソフトウェアカーネル410では、ハードウェアシミュレータ406とプロセッサエミュレータ402との間でのデータ通信を、上述のフォーマット変換を適宜行いつつ実行する。

【0017】プロセッサエミュレータ402は、標的プログラム522を実行し、ソフトウェアカーネル410を介してハードウェアシミュレータ406との通信を必要に応じて実行する。

【0018】このように、図8に示す第2の従来の論理検証装置では、ハードウェアシミュレータ406により標的回路をシミュレートし、プロセッサエミュレータ402で標的プロセッサおよび標的プログラムをエミュレートし、両者間で適宜通信を実行することにより、標的回路と、標的プロセッサおよび標的プログラムとの相互作用をシミュレートしている。

【0019】なお、他の論理シミュレータとしては特開平6-96151号公報に記載のものなどがある。

【0020】

【発明が解決しようとする課題】従来の論理検証装置は以上のように構成されているので、ハードウェアエミュレータにより検証対象の論理のすべてをエミュレートするには、論理情報が構造レベルまで確定していなければならない、設計における最終段階になるまで検証を実行することが困難であるとともに、設計の不具合が発見された場合には設計の初期段階まで戻らなければならない、論理LSIなどの開発期間を短縮することが困難であるなどの課題があった。

【0021】なお、検証にソフトウェアシミュレータのみを使用する場合には、種々の抽象度レベルの論理情報に柔軟に対応して、その論理情報に基づく論理の検証を実行することができるものの、論理規模が大きくなるほど検証に要する処理時間が増大する。さらに、例えば100万ゲート以上のLSIやそれを含むシステム全体の設計品質を向上するために検証を実行するには、少なくとも画像処理関連や通信関連などのアプリケーションごとに機能の検証を実行する必要があるが、アプリケーション規模の検証に要する処理時間は大きい、現実的な期間で検証を実行することが困難である。また、CPUなどの汎用部品のソフトウェアモデル化が困難であり、検証対象のシステムを忠実にシミュレーションすることが困難である。

【0022】さらに、上記第1の従来の論理検証装置に

においては、検証対象の論理すべてがハードウェアによりエミュレートされるため、設計初期段階の抽象レベルの論理情報に基づいてシミュレーションを実行する場合、忠実に論理情報を反映したシミュレーションが実行されない可能性がある。また、一般に大規模な論理の設計を行う場合には、論理をモジュールに分割し、モジュールごとに設計を進行するため、各モジュールの開発の進行状態に応じて、モジュールごとに論理情報の抽象度レベルが異なる場合があるが、そのような場合にも上記第1の従来の論理検証装置では、忠実に論理情報を反映したシミュレーションが実行されない可能性がある。

【0023】さらに、上記第2の従来の論理検証装置においては、ハードウェアシミュレータ406により標的回路をシミュレートし、プロセッサエミュレータ402で標的プロセッサおよび標的プログラムをエミュレートし、両者間で適宜通信を実行することにより、標的回路と、標的プロセッサおよび標的プログラムとの相互作用をシミュレートしているので、エミュレートされる論理回路がプロセッサにほぼ限定されており、ソフトウェアによりシミュレートされるのは、プロセッサの周辺回路とされ、設計の進行状況に応じたシミュレーションおよびエミュレーションを実行することが困難である。

【0024】この発明は上記のような課題を解決するためになされたもので、論理情報のうち構造レベルまで確定している部分についてハードウェアエミュレータで検証を実行し、その他の部分についてはソフトウェアシミュレータで検証を実行する論理検証装置を得ることを目的とする。

【0025】すなわち、例えば大規模なLSIの開発においては、論理全体を複数のモジュールに分割し、それぞれのモジュールを複数の設計者によって開発が進められる。そのため、モジュール毎に設計フェーズが異なることが一般的であり、そのような状況においても論理検証を実行することが可能な論理検証装置を得ることを目的とする。

【0026】

【課題を解決するための手段】この発明に係る論理検証装置は、被検証論理の所定の第1の部分についての検証を実行する再構成可能なハードウェアエミュレータと、被検証論理のシミュレーションを記述したシミュレーションプログラムを記憶する記憶手段と、シミュレーションプログラムを実行し、被検証論理の残りの第2の部分の検証を実行する演算処理手段とを有するソフトウェアシミュレータと、ハードウェアエミュレータとソフトウェアシミュレータとの間で、被検証論理についての検証の演算結果の授受を実行する通信部とを備えるものである。

【0027】この発明に係る論理検証装置は、被検証論理の抽象度レベルに応じて、被検証論理を、ハードウェアエミュレータにより検証する第1の部分と、ソフトウ

エアシミュレータにより検証する第2の部分とに分割するようにしたものである。

【0028】この発明に係る論理検証装置は、通信部と間のインタフェースのバス幅と同数のビット数単位で、第1の部分と第2の部分との間で授受されるデータを分割するようにしたものである。

【0029】この発明に係る論理検証装置は、ソフトウェアシミュレータが検証の演算結果を通信部に送信し、通信部がソフトウェアシミュレータからの検証の演算結果をハードウェアエミュレータに供給し、ハードウェアエミュレータがソフトウェアシミュレータによる検証の演算結果をデータとして検証を実行するものである。

【0030】この発明に係る論理検証装置は、ソフトウェアシミュレータが、検証の演算結果の値が変化するタイミング、およびクロック毎のタイミングのうち、検証の演算結果の転送時間が短くなる方のタイミングで検証の演算結果を通信部に送信するものである。

【0031】この発明に係る論理検証装置は、ソフトウェアシミュレータによる検証の演算結果を供給されると、ハードウェアエミュレータが1イベント分だけ検証を実行するようにしたものである。

【0032】この発明に係る論理検証装置は、ソフトウェアシミュレータによる検証の演算結果を供給されると、ハードウェアエミュレータが時刻0からその検証の演算結果に対応する時刻までの検証を実行するようにしたものである。

【0033】この発明に係る論理検証装置は、通信部に、ソフトウェアシミュレータからの被検証論理についての演算結果を、ハードウェアエミュレータに供給するまで記憶するバッファメモリを有するものである。

【0034】この発明に係る論理検証装置は、通信部に、ソフトウェアシミュレータからの被検証論理についての演算結果をハードウェアエミュレータに供給するタイミングを制御する第1の制御手段を有するものである。

【0035】この発明に係る論理検証装置は、通信部に、ハードウェアエミュレータのクロックを制御してソフトウェアシミュレータでの処理とハードウェアエミュレータでの処理とを同期させる第2の制御手段を有するものである。

【0036】この発明に係る論理検証装置は、通信部に、ハードウェアエミュレータに接続される所定の外部装置を制御し、所定の外部装置での処理とハードウェアエミュレータでの処理を同期させる第3の制御手段とを有するものである。

【0037】この発明に係る論理検証装置は、被検証論理のすべてをハードウェアエミュレータにより検証する第1の部分とした場合には被検証論理への入力データをすべて通信部に送信し、通信部がソフトウェアシミュレータからのデータを蓄積し、ハードウェアエミュレータ

に供給し、ハードウェアエミュレータがそのデータを使用して被検証論理のすべてについての検証を実行するものである。

#### 【0038】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1は、この発明の実施の形態1による論理検証装置の構成を示すブロック図であり、図2は、図1の通信装置の詳細な構成例を示すブロック図である。図において、1は、メモリ12にシミュレーションプログラムを記憶し、CPU11でそのプログラムを実行するワークステーションやパーソナルコンピュータなどのソフトウェアシミュレータである。2は、FPGAやFPIDなどのプログラム可能なデバイスの他、プロセッサなどを有し、供給された構造レベルの論理情報に基づく論理のエミュレートを実行するハードウェアエミュレータである。3は、ソフトウェアシミュレータ1とハードウェアエミュレータ2との処理速度の違いを緩衝しながら、両者間で検証の演算結果などの通信を実行する通信装置（通信部）である。4は、被検証論理の論理情報を保持している記録媒体である。5は、ハードウェアエミュレータ2により検証される論理LSIに関連する部品であるCPU31、メモリ32、他のLSI33などを備える外部装置である。6は、イーサネット（登録商標）などのコンピュータネットワークである。

【0039】ソフトウェアシミュレータ1において、11は、シミュレーションプログラムを実行するCPU（演算処理手段）であり、12はシミュレーションプログラムや論理情報を一時的に記憶するRAMなどのメモリ（記憶手段）であり、13はコンピュータネットワーク6に接続され、必要に応じてデータの授受を実行するネットワークインタフェースであり、14は記録媒体4に対するデータの読み書きを実行するインタフェースであり、15はCPU11、メモリ12、ネットワークインタフェース13およびインタフェース14を互いに接続する例えばPCI（Peripheral Component Interconnect）バスなどのシステムバスである。なお、システムバス15はPCIバスに限定されるものではなく、他のより高速なバス（インタフェース）でもよい。

【0040】ハードウェアエミュレータ2において、21はFPGA、FPID、プロセッサなどを有し、制御部22による制御に基づいて再構成可能な論理演算部であり、22はデータや検証結果の授受を実行するとともに、構造レベルの論理情報に基づいて論理演算部21の論理構成を設定する制御部であり、23はコンピュータネットワーク6に接続され、必要に応じてデータの授受を実行するネットワークインタフェースである。

【0041】通信装置3（図2）において、41は、バッファメモリ42に対するデータの読み書きを行うとともに、ソフトウェアシミュレータ1とのデータの送受信

の制御を行うバス制御部であり、42は、ソフトウェアシミュレータ1からのデータなどを一時的に記憶するとともに、ハードウェアエミュレータ2からの演算結果などを記憶するバッファメモリであり、43は、ハードウェアエミュレータ2からの演算結果をバッファメモリ42に記憶させるとともに、バッファメモリ42に記憶されているデータをハードウェアエミュレータ2に供給するタイミングを制御するエミュレータ制御部（第1の制御手段）であり、44は、バス制御部41、バッファメモリ42、エミュレータ制御部43および外部装置制御部45にそれぞれ供給するクロックを生成し、ソフトウェアシミュレータ1とハードウェアエミュレータ2との処理速度の違いの緩衝を実行して両者を同期させるとともに、外部装置5とハードウェアエミュレータ2との処理速度の違いの緩衝を実行して両者を同期させるクロック制御部（第2の制御手段）であり、45は、クロック制御部44からのクロックに基づいて外部装置5の処理速度を制御する外部装置制御部（第3の制御手段）である。

【0042】なお、バッファメモリ42には、ソフトウェアシミュレータ1に接続されるシステムバス15のバス幅などを考慮した仕様で、ソフトウェアシミュレータ1とハードウェアエミュレータ2との処理速度の差、実行するテストパターンの数などを考慮した容量を有するものを使用するのが好ましい。

【0043】また、外部装置5は実機と同様のものであるため、実機と同一の速度に動作可能であるが、ハードウェアエミュレータ2では論理演算部21が対象の論理をエミュレートしており、実機と同様の速度で動作することが困難であるため、上述のように外部装置5をハードウェアエミュレータ2に同期させるように制御する。同等にハードウェアエミュレータ2の処理速度より、ソフトウェアシミュレータ1の処理速度が遅いため、バッファメモリ42に検証の演算結果を一時的に蓄積して両者を同期させる。

【0044】次に動作について説明する。図3は、実施の形態1による論理検証装置の動作について説明するフローチャートである。

【0045】まず、ステップST1において、ソフトウェアシミュレータ1は、記録媒体4に保持されている論理情報を読み込む。この論理情報は、設計者により所定のモジュール毎に作成されている。また、各モジュールの論理情報の抽象度レベルは、上述の抽象レベル、機能レベル、構造レベルなどであり、それぞれ異なるレベルでもよい。

【0046】次に、ステップST2において、ソフトウェアシミュレータ1は、論理情報の各モジュールの抽象度レベルに応じて、論理情報を、ハードウェアエミュレータ2により検証するモジュール（第1の部分）と、ソフトウェアシミュレータ1により検証するモジュール

（第2の部分）とに分割する。すなわち、構造レベルの論理情報が確定しているモジュールについてはハードウェアエミュレータ2により検証し、構造レベルの論理情報が確定していないモジュールについてはソフトウェアシミュレータ1により検証する。構造レベルまで論理情報が確定している場合には、ハードウェアエミュレータ2により高速に検証が実行される。ただし、その挙動の詳細を観測したい場合には、ソフトウェアシミュレータ1で検証を実行するようにしてもよい。また、モジュールの論理情報が抽象レベルで記述されていても、ハードウェアエミュレータ2にそのモジュールの実部品が設けられている場合にはハードウェアエミュレータ2によりそのモジュールについての検証を実行することができる。

【0047】論理情報の分割後、ステップST3において、ソフトウェアシミュレータ1は、分割後の論理情報について再構成を実行する。すなわち、ソフトウェアシミュレータ1により検証されるモジュールと、ハードウェアエミュレータ2により検証されるモジュールとの接続関係が設定される。検証時には、この接続関係に従って、論理演算のための入力データや演算結果の授受がソフトウェアシミュレータ1とハードウェアエミュレータ2との間で通信装置3を介して実行される。

【0048】そしてステップST4において、ソフトウェアシミュレータ1は、ソフトウェアシミュレータ1とハードウェアエミュレータ2との間で授受されるモジュール間の入出力信号の割付をシステムバス15などの仕様に基づいて行う。すなわち、システムバス15が例えば32ビットのPCIバスである場合には、ソフトウェアシミュレータ1は、モジュール間（第1の部分のモジュールと第2の部分のモジュールとの間）の入出力信号を32ビット毎に分割し、送受信の順序を決定する。

【0049】図4は、ソフトウェアシミュレータ1により検証されるモジュールの一例を示す図である。図において、101～103はハードウェアエミュレータ2の出力信号、すなわちソフトウェアシミュレータ1への入力信号であり、110～112はソフトウェアシミュレータ1の出力信号であり、104～108はレジスタであり、150はその他の内部論理であり、120および121は組合せ回路である。ソフトウェアシミュレータ1の出力信号110～112はレジスタ106～108からそれぞれ出力される。レジスタ106のクロック109は内部論理150により生成され、レジスタ107、108のクロックは入力信号103である。組合せ回路120により出力信号111は遅延される。

【0050】したがって、出力信号110～112の出力タイミングが互いに異なることになるため、ステップST4においては、同一タイミングに出力されるものを可能な限り同一グループとして分割するようにして、データ転送の回数が少なくなるようにする。

【0051】次に、ステップST5において、ソフトウェアシミュレータ1は、ハードウェアエミュレータ2のセットアップを実行する。すなわち、ソフトウェアシミュレータ1は、通信装置3またはコンピュータネットワーク6を介してハードウェアエミュレータ2の制御部22に、ハードウェアエミュレータ2により検証されるモジュールの論理情報を供給し、その論理情報に基づいて論理演算部21の論理構造を設定させる。

【0052】上記のように検証の準備が終了した後に、検証を開始する。すなわち、この時点でソフトウェアシミュレータ1においてシミュレーションプログラムが起動されて検証が開始され、ソフトウェアシミュレータ1は、シミュレーションを実行する（ステップST6）。そして、ソフトウェアシミュレータ1による演算結果（出力信号）がハードウェアエミュレータ2へ通信装置3を介して送信され（ステップST7）、ハードウェアエミュレータ2はそれを受けて論理演算を実行し（ステップST8）、演算結果（出力信号）をソフトウェアシミュレータ1へ通信装置3を介して送信する（ステップST9）。以下、シミュレーションが終了するまで（ステップST10）、ソフトウェアシミュレータ1とハードウェアエミュレータ2は交互に論理演算を実行する。

【0053】なお、例えば、システムバス15および通信装置3とハードウェアエミュレータ2との間のバスがPCIバスであり、モジュール間の入出力信号が100本（すなわち100ビット）であるとする、通信に要する時間が数百ナノ秒である。ソフトウェアシミュレータ1の処理速度（シミュレーションの進行速度）が100ヘルツであり（1クロックサイクルが10ミリ秒）、ハードウェアエミュレータ2の処理速度が10メガヘルツである（1クロックサイクルが100ナノ秒）場合には、通信速度がソフトウェアシミュレータ1の処理速度より十分大きいので、通信による遅延は特に問題にはならない。

【0054】次に、通信装置3の動作の詳細について説明する。バス制御部41は、ソフトウェアシミュレータ1からのデータ（出力信号）を受信するとバッファメモリ42に書き込む。そして、エミュレータ制御部43はそのデータを読み出し、所定のタイミングでハードウェアエミュレータ2に供給する。例えば、図4における出力信号111は組合せ回路120により遅延するがデータ転送は他の出力信号112と同時に進行するため、エミュレータ制御部43は組合せ回路120による遅延分だけタイミングをずらして出力信号111をハードウェアエミュレータ2に供給する。なお、このような各信号の遅延の情報は、例えばステップST3の再構成の際にソフトウェアシミュレータ1により計算され、検証を実行する前に予め供給される。

【0055】一方、ハードウェアエミュレータ2からのデータ（出力信号）をエミュレータ制御部43が受信す

ると、バッファメモリ42に書き込む。バス制御部41はそのデータをソフトウェアシミュレータ1に送信する。

【0056】また、クロック制御部44は、ハードウェアエミュレータ2とソフトウェアシミュレータ1との同期をとるためにハードウェアエミュレータ2のクロックを制御し、ソフトウェアシミュレータ1が論理演算を実行している期間においては、ハードウェアエミュレータ2による論理演算を停止させる。すなわち、上述のステップST8においてはデータが供給されると、ハードウェアエミュレータ2での演算処理が開始されるが、供給されたデータによる1イベント分の演算が完了すると、演算結果の転送後にクロックが停止される。

【0057】以上のように、この実施の形態1によれば、論理情報のうち構造レベルまで確定している部分についてハードウェアエミュレータ2で検証を実行し、その他の部分についてはソフトウェアシミュレータ1で検証を実行するようにしたので、モジュール毎に設計フェーズが異なる場合においてもエミュレータを効率良く使用して論理検証に要する時間を低減することができるという効果が得られる。

【0058】また、実施の形態1によれば、ハードウェアエミュレータ2にFPGAなどの再構成可能な回路や例えばプロセッサのように実部品を設けるようにしたので、対象を限定されず様々な回路の検証を実行することができるという効果が得られる。

【0059】さらに、実施の形態1によれば、ソフトウェアシミュレータ1におけるシミュレーションプログラムに汎用のシミュレーションプログラムを使用することにより、装置のコストを低減することができるという効果が得られる。

【0060】実施の形態2. この発明の実施の形態2による論理検証装置は、実施の形態1におけるステップST7でのソフトウェアシミュレータ1からハードウェアエミュレータ2へのデータ転送（出力信号の送信）の処理を変更したものであり、その他の部分については実施の形態1と同様であるので、その処理についてのみ説明し、その他の部分についての説明を省略する。

【0061】実施の形態2による論理検証装置においては、データの転送処理が、イベント発生時、すなわち通信の対象であるデータの値（ソフトウェアシミュレータ1の出力信号の値）が変化した時のみに実行されるか（イベントドリブン形式）、または、ソフトウェアシミュレータ1における1クロックサイクルごとに実行される（サイクルベース形式）。実際に実行される処理形式は、総合的にデータ転送に要する時間の少ない方が検証開始前に予め選択される。

【0062】このようにして、データの転送形式がイベントドリブン形式またはサイクルベース形式に決定される。なお、サイクルベース形式においてデータの値が全



く変化しないときにはデータ転送処理を実行しないようにして転送回数を低減するようにしてもよい。

【0063】以上のように、この実施の形態2によれば、データの転送形式をイベントドリブン形式およびサイクルベース形式のうち、総合的にデータ転送に要する時間の少なくなる方に決定するようにしたので、転送時間を最適化でき、検証に要する時間をより短くすることができるという効果が得られる。

【0064】実施の形態3. この発明の実施の形態3による論理検証装置は、実施の形態1におけるステップS18でのハードウェアエミュレータ2の動作を変更したものであり、その他の部分については実施の形態1と同様であるので、その処理についてのみ説明し、その他の部分についての説明を省略する。

【0065】実施の形態3による論理検証装置においては、実行を中断できない外部装置5に接続されている場合など、動作を中断することができない場合には、ハードウェアエミュレータ2は、ソフトウェアシミュレータ1から供給されるデータに対する演算および演算結果の転送が完了する毎に、ハードウェアエミュレータ2の論理演算部21を初期状態（すなわち時刻0での状態）にし、次にソフトウェアシミュレータ1からデータを供給されたときに、ソフトウェアシミュレータ1が処理を完了した時刻まで処理を実行するようにする。この場合、その時点までのソフトウェアシミュレータ1から供給されたデータをすべてバッファメモリ42に蓄積しておき、ハードウェアエミュレータ2はそのデータを順次読み出していき、その時点までの処理を実行する。

【0066】以上のように、この実施の形態3によれば、ハードウェアエミュレータ2により、ソフトウェアシミュレータ1からのデータを供給されると、時刻0からそのデータに対応する時刻までの検証を実行するようにしたので、検証に必要なサイクル数が、ハードウェアエミュレータ2の処理速度とソフトウェアシミュレータ1の処理速度との比より小さい場合には、ソフトウェアシミュレータ1単体より高速にシミュレーションを実行することができるという効果が得られる。また、シミュレーションモデルがないCPUなどを有するシステム全体を検証することができるという効果が得られる。

【0067】実施の形態4. この発明の実施の形態4による論理検証装置は、実施の形態1による処理のうち、論理情報がすべて構造レベルである場合の処理を変更したものであり、その他の部分については実施の形態1と同様であるので、その処理についてのみ説明し、その他の部分についての説明を省略する。

【0068】一般に論理回路を検証する場合には、対象となる論理の正当性を評価するためのテストベンチを作成する。テストベンチは、対象となる論理に対する入力データと、その入力データを印加した場合の論理の出力結果の期待値で構成される。テストベンチには具体的な

論理構造は想定されていないので、設計の最終段階において論理情報がすべて構造レベルである場合には、論理演算はすべてハードウェアエミュレータ2に実行されることになる。したがって、この場合には、供給されたテストベンチの入力データをすべて検証開始前に通信装置3のバッファメモリ42に蓄積しておき、バッファメモリ42からその入力データをハードウェアエミュレータ2に供給するようにする。

【0069】以上のように、この実施の形態4によれば、論理情報がすべて構造レベルである場合には、対象となる論理への入力データをすべて通信装置3に蓄積させた後に検証を開始するようにしたので、データの転送時間を低減することができ、検証に要する時間も低減することができるという効果が得られる。

【0070】

【発明の効果】以上のように、この発明によれば、被検証論理の所定の第1の部分についての検証を実行する再構成可能なハードウェアエミュレータと、被検証論理のシミュレーションを記述したシミュレーションプログラムを記憶する記憶手段と、シミュレーションプログラムを実行し、被検証論理の残りの第2の部分の検証を実行する演算処理手段とを有するソフトウェアシミュレータと、ハードウェアエミュレータとソフトウェアシミュレータとの間で、被検証論理についての検証の演算結果の授受を実行する通信部とを備えるように構成したので、モジュール毎に設計フェーズが異なる場合においてもエミュレータを効率良く使用して論理検証に要する時間を低減することができるという効果がある。

【0071】この発明によれば、通信部との間のインタフェースのバス幅と同数のビット数単位で、第1の部分と第2の部分との間で授受されるデータを分割するように構成したので、インタフェースによるデータ転送の回数を最適化することができるという効果がある。

【0072】この発明によれば、ソフトウェアシミュレータが、検証の演算結果の値が変化するタイミング、およびクロック毎のタイミングのうち、検証の演算結果の転送時間が短くなる方のタイミングで検証の演算結果を通信部に送信するように構成したので、転送時間を最適化でき、検証に要する時間をより短くすることができるという効果がある。

【0073】この発明によれば、ソフトウェアシミュレータによる検証の演算結果を供給されると、ハードウェアエミュレータが時刻0からその検証の演算結果に対応する時刻までの検証を実行するように構成したので、検証に必要なサイクル数が、ハードウェアエミュレータの処理速度とソフトウェアシミュレータの処理速度との比より小さい場合には、ソフトウェアシミュレータ単体より高速にシミュレーションを実行することができるという効果がある。また、シミュレーションモデルがないCPUなどを有するシステム全体を検証することができる

という効果がある。

【0074】この発明によれば、被検証論理のすべてをハードウェアエミュレータにより検証する第1の部分とした場合には被検証論理への入力データをすべて通信部に送信し、通信部がソフトウェアシミュレータからのデータを蓄積し、ハードウェアエミュレータに供給し、ハードウェアエミュレータがそのデータを使用して被検証論理のすべてについての検証を実行するように構成したので、データの転送時間を低減することができ、検証に要する時間も低減することができるという効果がある。

#### 【図面の簡単な説明】

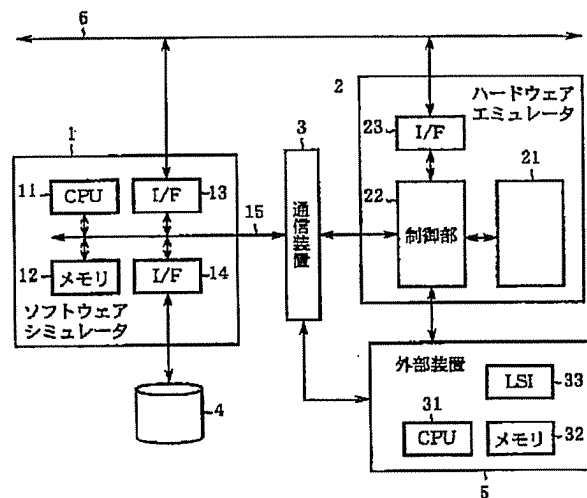
【図1】 この発明の実施の形態1による論理検証装置の構成を示すブロック図である。

【図2】 図1の通信装置の詳細な構成例を示すブロック図である。

【図3】 実施の形態1による論理検証装置の動作について説明するフローチャートである。

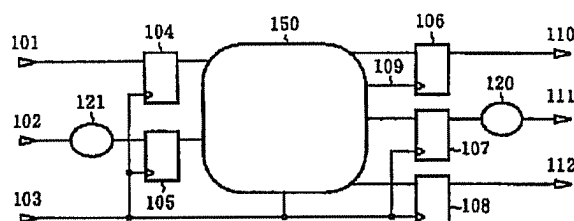
【図4】 ソフトウェアシミュレータにより検証される\*

【図1】



3 : 通信装置 (通信部)  
11 : CPU (演算処理手段)  
12 : メモリ (記憶手段)

【図4】



\* モジュールの一例を示す図である。

【図5】 従来のハードウェア論理エミュレーションシステムを示す図である。

【図6】 図5の管理用コンピュータの動作を説明するフローチャートである。

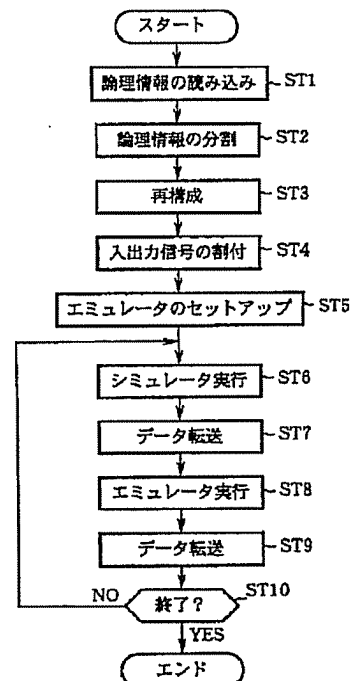
【図7】 第1の従来の論理検証装置の構成を示すブロック図である。

【図8】 第2の従来の論理検証装置の構成を示すブロック図である。

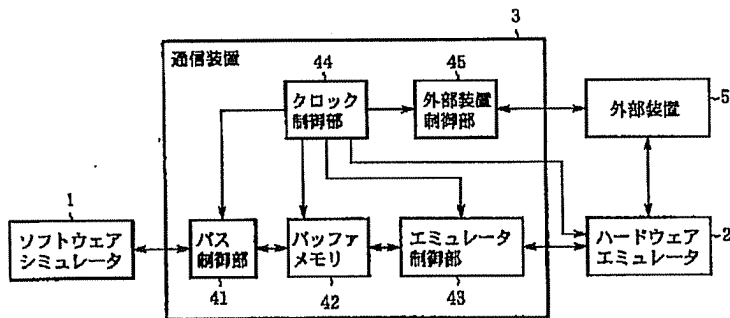
#### 【符号の説明】

1 ソフトウェアシミュレータ、2 ハードウェアエミュレータ、3 通信装置 (通信部)、5 外部装置、11 CPU (演算処理手段)、12 メモリ (記憶手段)、42 バッファメモリ、43 エミュレータ制御部 (第1の制御手段)、44 クロック制御部 (第2の制御手段)、45 外部装置制御部 (第3の制御手段)。

【図3】

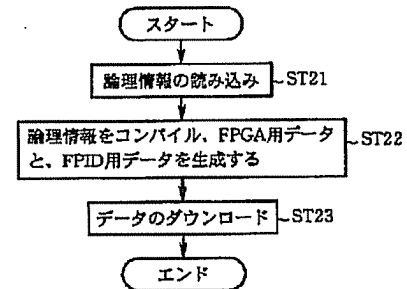


【図 2】

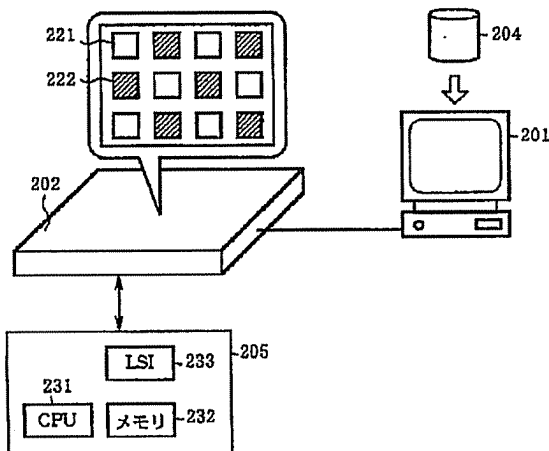


43: エミュレータ制御部 (第1の制御手段)  
 44: クロック制御部 (第2の制御手段)  
 45: 外部装置制御部 (第3の制御手段)

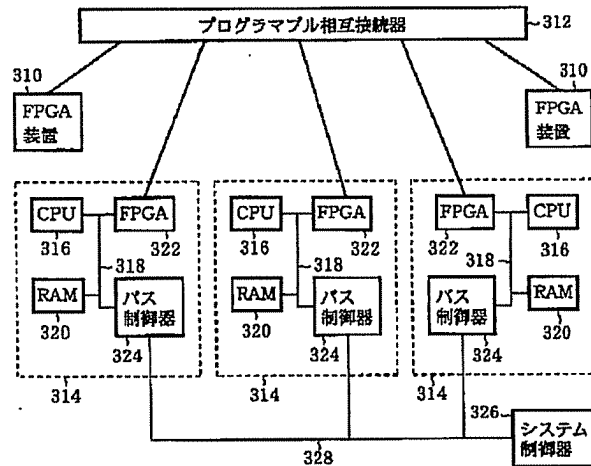
【図 6】



【図 5】



【図 7】



【図 8】

